



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사 학위논문

SiO₂ gate insulator 를 통한
AlGaN/GaN HEMTs 의 특성
개선에 관한 연구

Improvement of electric properties of
AlGaN/GaN HEMTs with SiO₂ gate insulator

2017 년 2 월

서울대학교 대학원

전기 정보 공학부

최 광 호

초 록

GaN 의 경우에는 high electron velocity 와 high band gap 의 우수한 특성과 AlGaIn/GaN HEMTs 로 사용시 자연스레 형성되는 2DEG 에 의해 높은 electron density의 장점을 가진 차세대 전력 소자로 주목받고 있다. 실제로 전력 소자로의 응용을 위해서는 normally off operation 이 필요로 한다. 이때 보통 gate recessed structure 를 통하여 문턱전압을 positive shift 시켜준다. 이 경우에는 gate leakage current를 효과적으로 억제하고 전기적인 특성을 향상시키기 위해서는 gate insulator 에 대한 충분한 연구가 필요하다.

본 논문에서는 고전력 소자로서 gate recessed structure AlGaIn/GaN MIS-HEMTs 의 SiO₂ gate insulator 에 관한 연구를 진행하였다. Si MOS capacitor 를 통하여 박막의 전기적인 특성을 비교하였고 이때 N₂ plasma step 을 추가해주었을 경우 효과적으로 leakage current 가 감소하고 hysteresis 가 줄어드는 것을 확인 할 수 있었다. 이를 통하여 실제로 AlGaIn/GaN device 에 적용하여 소자의 특성을 확인한 결과, forward gate current 가 확연하게 감소하는 것을 알 수 있었고, R_{on} 또한 더 우수한 특성을 갖는 것을 확인할 수 있었다. 이러한 결과를 토대로 SiON interface layer 을 적용하였을 때 forward gate current 뿐만 아니라 pulsed I-V 특성이나, transconductance 와 drain current 같은 DC 특성과 reliability 특성에서 모두 훨씬 우수한 결과를 얻을 수 있었다. 또한 막 내부의 trap 이나 interface trap density 면에서 좋지 않다고 알려져 있는 HfON 막을 bulk layer 로 사용하면서도 우수한 interface trap density 와 hysteresis 특성을 보이는 것을 확인하였다.

주요어 : AlGaIn/GaN, MIS-HEMTs, SiO₂, SiON, interface layer

학 번 : 2015-20998

목 차

제 1 장 서론	1
제 1 절 GaN power device	1
제 2 절 BTBAS SiO ₂	4
제 2 장 SiO ₂ ALD optimize	7
제 1 절 SiO ₂ atomic layer deposition	7
제 2 절 SiO ₂ deposition with N ₂ plasma step	11
제 3 장 AlGaIn/GaN MIS-HEMTs with SiO ₂	14
제 1 절 AlGaIn/GaN MIS-HEMTs process	14
제 2 절 SiO ₂ single layer device	17
제 3 절 SiO ₂ interface layer device	26
제 4 장 결론 및 앞으로의 과제	38
제 1 절 Summary	38
제 2 절 앞으로의 과제	39
참고문헌	40
Abstract	43

표 목차

[표 2-1] 최적화된 SiO ₂ 증착 조건	8
[표 3-1] 소자의 전기적 특성	20
[표 3-2] 소자의 전기적 특성	30

그림 목차

[그림 1.1] 고전력 소자들로 주목받는 물질들의 주요 특성	2
[그림 1.2] GaN conduction & valance band offset	4
[그림 1.3] Atomic layer deposition	5
[그림 2.1] (a) 증착 온도 (b) BTBAS feed time (c) Ozone feed time (d) BTBAS purge time 에 따른 SiO ₂ deposition rate	7
[그림 2.2] MIS capacitor 단면도.....	9
[그림 2.3] SiO ₂ MOS capacitor 전기적 특성	9
[그림 2.4] N ₂ plasma time 에 따른 SiO ₂ deposition rate.....	11
[그림 2.5] N ₂ plasma time 에 따른 Breakdown filed 와 Leakage 의 변화	12
[그림 2.6] N ₂ plasma step 을 추가한 SiO ₂ 의 전기적 특성....	13
[그림 3.1] AlGaIn/GaN device process flow	16
[그림 3.2] schematic of AlGaIn/GaN device	17
[그림 3.3] 두 소자의 transfer curve ($V_{DS} = 10\text{ V}$)	18
[그림 3.4] 두 소자의 log scale drain current 와 gate current.....	19
[그림 3.5] 두 소자의 Forward curve.....	20
[그림 3.6] 두 소자의 C-V characteristic.....	21
[그림 3.7] 두 소자의 Family curve.....	22
[그림 3.8] SS와 D_{it} 의 관계식.....	23
[그림 3.9] 두 소자의 gate stress 에 의한 reliability 측정.....	24
[그림 3.10] AlON, HfON 의 전기적 특성	27
[그림 3.11] SiO ₂ , SiON 을 interface layer 로 적용한 소자들의 transfer curve	28
[그림 3.12] Log scale transfer curve & gate current	29

[그림 3.13] 두 소자의 forward gate curve.....	31
[그림 3.14] 두 소자의 C-V characteristics	32
[그림 3.15] 두 소자의 Family characteristics.....	33
[그림 3.16] Pulsed I-V characteristic (drain – lag)	35
[그림 3.17] 소자의 gate stress 에 의한 reliability 측정	36

제 1 장 서 론

제 1 절 GaN power device

Si 을 기반으로 하는 반도체 산업은 나날이 발전하는 모습을 보이고 있으며, 현재에도 반도체 산업을 주도하고 있다. Si 의 경우 구하기 쉬운 물질임에 동시에 우수한 특성으로 인하여 많은 발전을 거듭하고 있지만, 최근에 와서는 소형화에 물질적인 한계를 드러내고 있다. 이를 대체할 방안으로 화합물 반도체에 대한 연구가 다양한 관심을 받고 있다.

II-IV족, III-V족 화합물 반도체 들에 대한 연구가 주로 진행 되고 있는데 그 중 GaN 는 III-V 족 화합물 반도체 중 하나로써, 고전력 소자와 고주파수 소자로써의 사용가치를 인정받고 있다. GaN 의 경우 그림 1.1[1] 에서 볼 수 있듯이 다른 물질들과 비교하여 Bandgap 이 크기에 높은 breakdown field 를 견딜 수 있으며, 높은 saturation velocity 로 인하여 낮은 on 저항 특성을 갖는다. Thermal conductivity 도 좋아서 power device 에 적합한 모습을 보인다. 또한 AlGaIn/GaN heterostructure 로 적용 시에는 자연적으로 발생하는 2DEG (2-dimesional-electron-gas) 층에 의하여 높은 electron density 와 electron mobility 를 갖는다. 이러한 특성들을 응용하여 더 높은 전압의 동작영역에서 응용이 연구되고 있으며, fast switching 소자의 연구 또한 진행되고 있다.

	InAs (AlSb/ InAs)	Si (SiGe- Si)	GaAs (AlGaAs/ InGaAs)	InP (InAlAs/ InGaAs)	4H SiC (—)	GaN (AlGaN/GaN)	Diamond
Bandgap (eV)	0.36	1.1	1.42	1.35	3.26	3.49	5.45
Electron mobility (cm ² /Vs)	33000 (25000)	1500 (2800)	8500 (8000)	5400 (10000)	700	900 (>2000)	4000
Saturated (peak) electron velocity (x10 ⁷ cm/s)	(4.0)	1.0 (1.0)	1.0 (2.1)	1.0 (2.3)	2.0 (2.0)	1.5 (2.7)	2.8
2DEG sheet electron density (cm ⁻²)	<6x10 ¹²	2x10 ¹²	<3x10 ¹²	<4x10 ¹²	NA	1-2x10 ¹²	NA
Critical breakdown field (MV/cm)	0.04	0.3	0.4	0.5	2.0	3.3	10
Thermal conductivity (W/cm·K)	0.27	1.5	0.5	0.7	4.5	>2.0	2.2
Relative dielectric constant (ϵ_r)	15.1	11.8	12.8	12.5	10	9.0	5.5

그림 1.1 고전력 소자들로 주목받는 물질들의 주요 특성

AlGaN/GaN HEMTs(High electron mobility transistors) 의 경우 발생하는 분극현상에 의해 2DEG 가 형성된다.[2] 2DEG 에 의하여 AlGaN/GaN HEMTs 의 경우에는 자연스레 높은 전자 밀도를 가진 채널이 형성된다. 또한 Si 에서의 경우처럼 기존에 doping 에 의하여 발생하는 scattering 과 같은 문제에 구애 받지 않아 높은 electron mobility 를 갖게 된다. 동시에 이러한 채널의 경우에는 자연스레 형성되기 때문에 normally-on operation 을 하게 되는데, 이는 전력 반도체 분야에서 회로를 더욱 간소화 하기 위해 normally-off operation 을 해야 하는 필요성과 반대되는 모습을 보이게 된다. 이에 따라 불필요한 요소들을 제외하고 효율적인 회로를 구성하기 위해서 AlGaN/GaN HEMTs 의 normally off 동작이 중요한 issue 로 대두되고 있으며, 이를 위한 다양한 방식들이 연구되고 있다.

Normally off 동작을 하기 위한 방안으로는 다양한 방법이 존재하는데, p-GaN epi 를 이용해 p-GaN gate 를 적용하여 에너지 밴드를

조절하는 방법[3], Flourine plasma treatment 를 통하여 문턱전압을 positive shift 하는 방법[4], Gate recessed structure 를 통하여 채널을 끊어주는 방법 등이 존재한다. 이러한 방법 중 Gate recessed structure 를 이용한 MIS HEMTs 의 경우에는 gate recess 공정에서의 damage 를 어떤 방법을 통해 줄여나갈지에 관한 문제와[5][6], gate insulator 에 따른 current collapse[7], V_{th} instability[8] 와 같은 문제들이 중요한 issue 로 존재하는데, 본 연구에서는 gate insulator 에 중점을 두었다.

초기 GaN HEMTs 에서는, 기존에 Si 소자에서 주로 사용하던 low-k 박막인 Silicon dioxide 나 Silicon nitride 와 같은 박막들을 사용했다. 이러한 박막들의 경우 stability 나 reliability 면에서 안정적인 모습을 보여주지만, 기술의 발전에 따라 gate insulator 의 두께가 얇아지며 그에 따라 누설전류가 증가하는 문제가 떠오르고 있다. 이를 해결하기 위해 최근에는 많은 그룹들이 HfO_2 [9], Al_2O_3 [10] 와 같은 high-k 박막들을 다양하게 연구하고 있는데, 이러한 high-k 박막들을 통하여 누설전류의 문제를 해결함과 동시에 특성의 개선을 보여주고 있지만, 아직 GaN 과의 interface 와 막 내부에서의 trap 에 의한 문제들이 issue 로 남아있다. 이러한 trap 들은 소자로 동작 시에 문턱전압의 positive shift 나 leakage path 의 원인이 되어 instability를 열화시키기에, trap 을 줄여나가는 방법으로 plasma treatment[11], interface layer[12] 와 같은 연구들이 진행되고 있다.

위와 같은 문제들을 해결하기 위해서 본 논문에서는 AlGaN 과의 Conduction band offset 이 크고 thermal stability 가 좋은 막을 얇게 interface layer 로 적용함으로 낮은 leakage current 와 high breakdown field 의 특성을 얻어내고, high-k 박막을 bulk layer 로 적용함으로써 동시에 높은 전기적 특성을 동시에 얻어낼 수 있는 gate insulator 에 대한 연구를 진행하였다.

제 2 절 BTBAS SiO₂

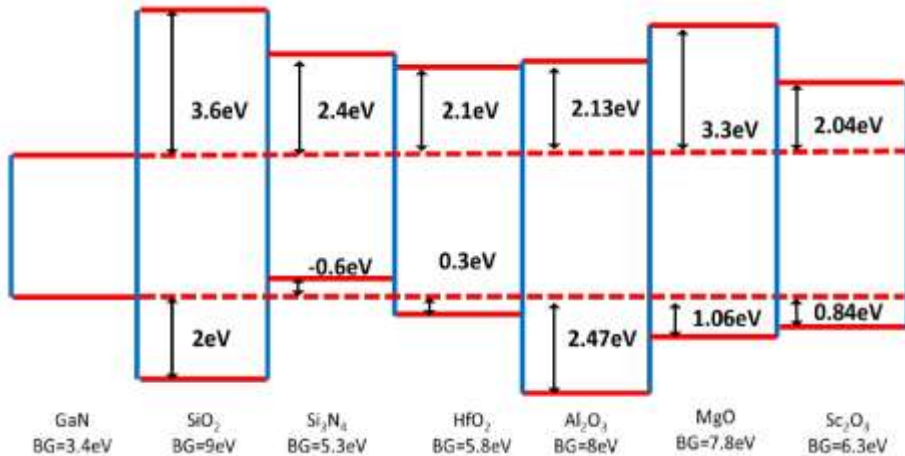


그림 1.2 GaN conduction & valance band offset

SiO₂ 막의 경우 그림 1.2[13] 에서 보이듯이 주로 쓰이는 high- k 막인 HfO₂ 나 Al₂O₃ 막보다 큰 ΔE_c 값을 갖고 있기에 누설전류 문제에 서 보다 안정적인 결과를 보여줄 것으로 기대하고 있으며, 9 eV 의 bandgap 을 가지고 있기에 high breakdown field 를 가질 것으로 기대 된다.

본 연구에서는 ALD(Atomic layer deposition) 방식을 적용하여 박막을 증착하였고, 이때 사용하는 소스는 BTBAS (bis tert-butylamino silane) 를, precursor 는 ozone 을 사용하였다. 기존에 Si 소스로 많이 선택되는 chlorosilane 들의 경우 고온의 증착온도가 요구되고, 염소계 성분에 의해 특성이 열화되는 문제들이 일어난다.[14] BTBAS 의 경우에는 이러한 염소계 성분이 들어가지 않고 thermal stability 가 좋기에 많은 연구가 진행되고 있다.

증착 방식은 ALD 방식으로 그림 1.3과 같이 이루어진다. SiO₂ 박막의 경우에는 Metal source 인 reactant 를 흘려주어 먼저 반응을 시키

는데, 이때 reactant 가 기판에 고르게 반응하여 하나의 layer 가 형성 되면 더 이상 반응이 일어나지 않는 self-limiting 현상이 발생하는데 이러한 현상에 의해 매번 일정한 결합을 갖는 박막을 얻게 된다. 이후 반응을 하지 못하고 남아있는 reactant 를 purge step 을 통하여 제거 해준다. Ozone precursor 를 위와 같은 방식을 통해 반응기들과 결합하고 남은 precursor 들을 내보내며 얇은 SiO₂ 결합을 형성하게 된다. 이러한 방식은 기존에 가스들을 한번에 넣어주며 반응 분위기를 통해서 박막을 형성해주던 CVD 방식과는 다르게, 하나의 layer 마다 고르게 SiO₂ 결합이 형성되기에 성장 속도는 느리지만 막질이 더 우수한 특징을 갖게 된다.

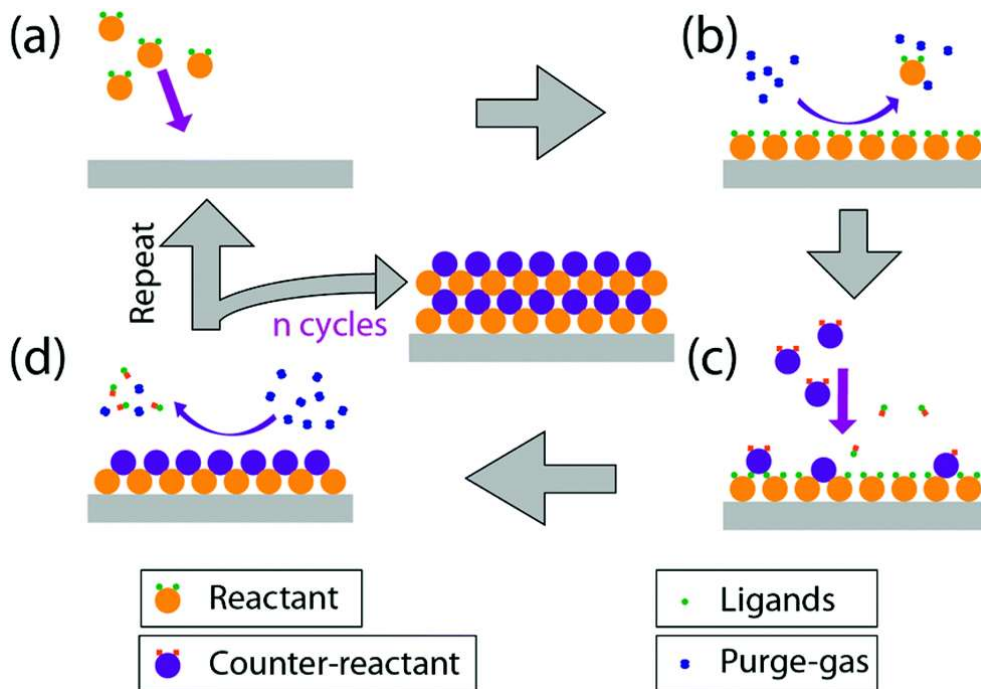


그림 1.3 Atomic layer deposition [15]

본 논문에서는 이러한 ALD 방식을 BTBAS 소스를 사용하여 SiO₂

recipe 를 최적화 하여 낮은 leakage current 와 높은 breakdown field 를 갖고, hysteresis 가 작은 전기적 특성을 가진 막의 조건을 잡고, 이후 AlGaN/GaN HEMTs 에 적용하여 우수한 전기적인 특성과 함께, gate leakage current 가 작고, 막 내부의 trap 에 의한 영향이 적으며 interface trap density 특성이 우수한 소자를 제작하는 것을 목표로 한다.

제 2 장 SiO₂ ALD optimize

제 1 절 SiO₂ atomic layer deposition

본 연구에서 SiO₂ 막의 경우 ALD 방식으로 증착하였고, MEMS ALD 장비를 이용하였다. 증착 시 사용하는 소스의 경우 BTBAS, Ozone precursor 를 이용하고 N₂ 가스를 BTBAS 소스의 carrier 가스와 purge 가스로 이용하였다.

SiO₂ 막의 조건을 최적화하는 과정에서 우선적으로 가장 크게 영향을 끼치는 막의 증착 온도를 변화시켜가며 확인 후 각 소스들의 saturation point 를 잡는 방향으로 실험하였다.

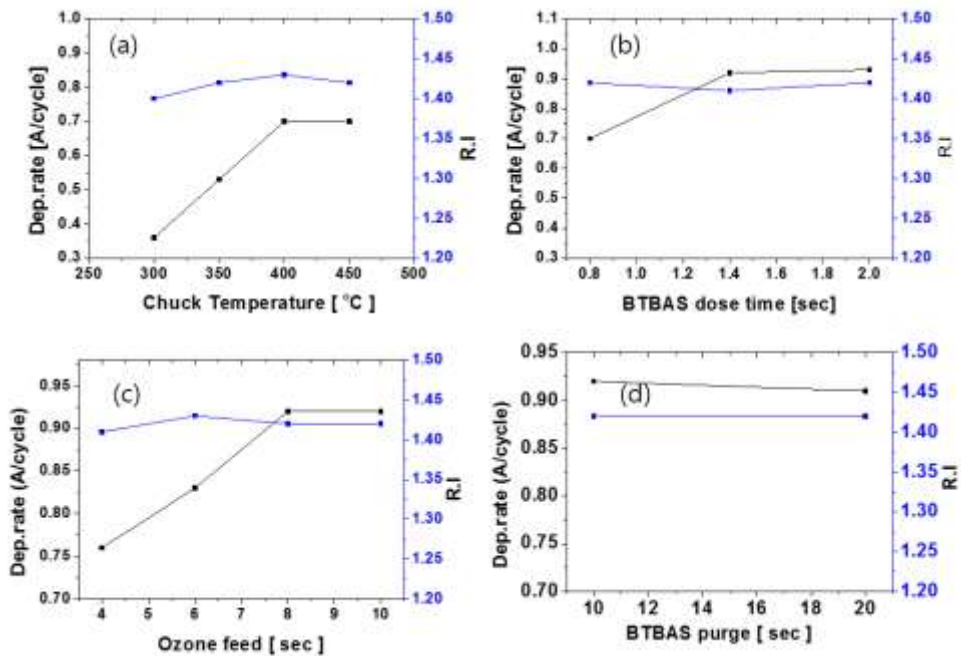


그림 2.1 (a) 증착 온도 (b) BTBAS feed time (c) Ozone feed time (d) BTBAS purge time 에 따른 SiO₂ deposition rate

증착 온도를 증가시켜가며 확인한 결과, 400도 까지는 dep.rate 이 증가하지만 그 후 saturation 되는 모습을 보이며, R.I 또한 약 1.41 ~ 1.42 의 값을 보여 SiO₂ 가 정상적으로 올라가는 것을 확인하였다. 400 °C 로 증착 온도를 설정한 후 ALD 방식에서 일어나는 self-limiting 지점을 찾기 위해 process time 을 변경시켜가며 확인한 결과 각각 BTBAS does time 1.4sec, BTBAS purge time 10sec, Ozone feed time 8sec 에서 saturation 되는 것을 확인하고 이를 recipe 로 지정하였다.

Process step	BTBAS feed	BTBAS purge	Ozone feed	Ozone purege
N ₂ [sccm]	100	1000	0	1000
N ₂ /O ₂ [sccm]	0	0	5/700	0
Time [sec]	1.4	10	8	20

표 2.1 최적화된 SiO₂ 증착 조건

앞서 잡은 recipe 를 통해 SiO₂ 의 특성을 확인하기 위하여 최적화된 SiO₂ 를 확인하기 위하여 MIS capacitor를 만들었고 그 구조는 그림 2.2 과 같이 bulk resistivity 가 ~10 Ω·cm 인 n-type Si을 사용하였다.



그림 2.2 MIS capacitor 단면도

Si cleaning 은 Acetone/Methanol/IPA 각 10분씩 ultrasonic 을 이용하였고, 이후 SPM, diluted HF(1:10) 을 각각 10분씩 진행 후 바로 MEMS ALD 에 로딩하여 SiO₂ 막을 증착하였다. PDA(Post deposition annealing) 공정은 500도 N₂ 분위기에서 RTA(Rapid thermal annealing) 장비를 이용하여 진행하였다. 마지막으로 Top anode 로는 Ni/Al (20/130 nm), backside metal 로는 Ti/Al (20/130 nm) 을 증착하였다.

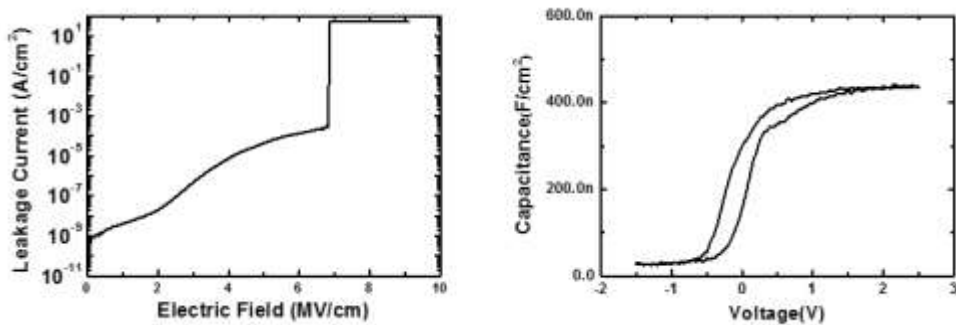


그림 2.3 SiO₂ MOS capacitor 전기적 특성

그림 2.3 에서는 Si 에 올린 SiO₂ 막의 전기적 특성을 나타내고 있다. Leakage current 의 경우 4MV 기준으로 4×10^{-6} A/cm² 의 특성을 보이며 Breakdown voltage 의 경우 7.2 MV/cm 로 측정되었다. CV 특성의 경우 hysteresis 가 250mV 로 크게 측정되었으며, dielectric constant 의 경우 5.1 로 측정되었다.

전체적인 특성을 보았을 때 기대에 미치지 못하는 모습으로 hysteresis 가 크고 Breakdown voltage 가 작은 모습을 보이고 dielectric constant 가 기존에 알려져 있는 thermal oxide 들과 비교하였을 때 비교적 큰 특성을 가진다. 이는 막 내부의 -OH 기에 의해서 나타나는 현상인데[16] 이를 개선하기 위해 각 cycle 사이에 N₂ plasma step 을 추가하여 막 내부의 impurity 를 줄여나가고 vacancy 를 채워 막을 더욱 dense 하게 하여 특성을 개선하는 방식을 시도했다.

제 2 절 SiO₂ deposition with N₂ plasma step

기존의 SiO₂ 증착 조건에서 매 cycle 이후에 N₂ plasma step 을 추가하였고, plasma power 의 경우 실제로 소자에 적용할 때 damage 를 최소화 하기 위하여 50W 를 적용하였다. Plasma step 또한 처음 조건을 잡을 때와 마찬가지로 시간을 늘려가며 saturation point 를 찾는 방식으로 실험을 진행하였다.

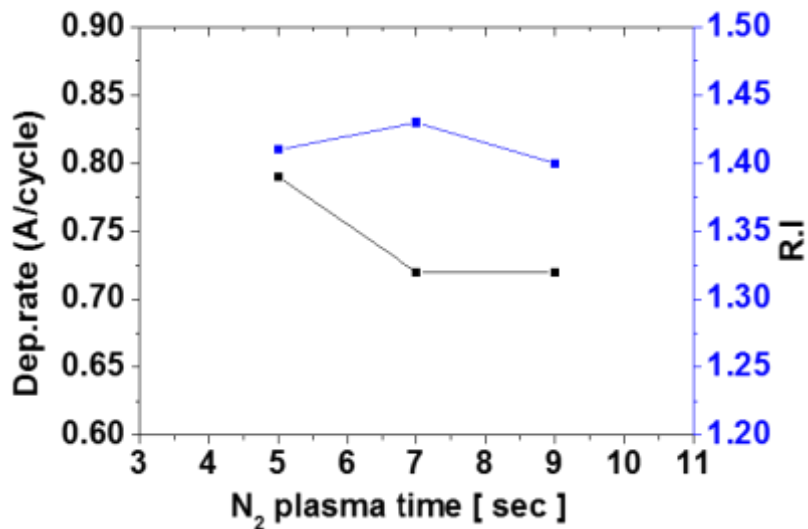


그림 2.4 N₂ plasma time 에 따른 SiO₂ deposition rate

N₂ plasma step 을 추가하면 기존에 0.92 였던 dep.rate 이 감소하는데 이는 막 내부의 불순물을 감소시키기 때문으로 보인다. N₂ plasma time 을 증가시켜가며 확인하였을 때 7sec 이후부터는 dep.rate 이 일정하게 saturation 되는 현상을 보인다. 3가지 조건에서 모두 Si MOS capacitor 를 만들어서 전기적 특성을 그림 2.5 에

나타내었다. 이를 보면 5 sec 에서 7 sec 로 plasma time 이 증가하며 Breakdown field 가 증가하며 leakage current 는 가라앉는 것으로 확인되었다. 하지만 다시 9 sec 로 증가하게 될 경우에는 leakage current 는 증가하고 Breakdown field 는 줄어드는 모습을 보인다. 이때의 조건을 가장 안정적으로 보고 7 sec 로 적용하였을 때의 전기적 특성을 그림 2.6에 나타내었다. 이 때의 dep.rate 은 0.71 \AA/cycle , R.I 는 1.43 으로 측정되었다.

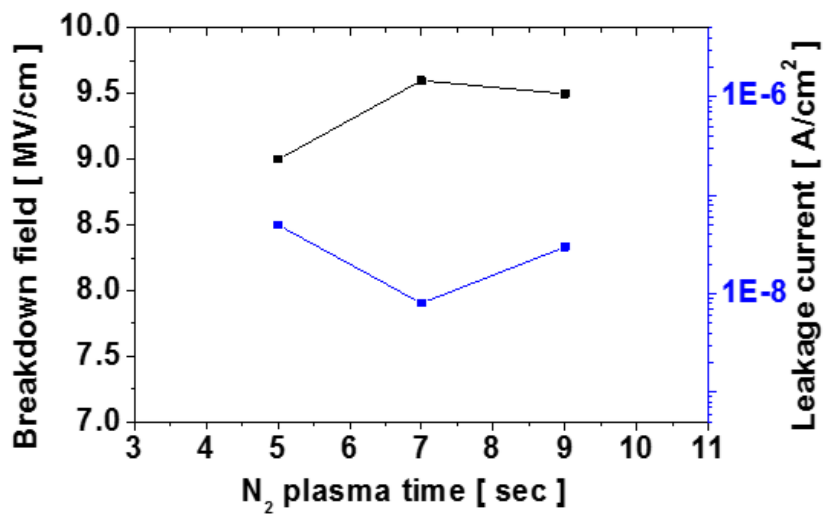


그림 2.5 N₂ plasma time 에 따른 Breakdown field 와 Leakage 의 변화

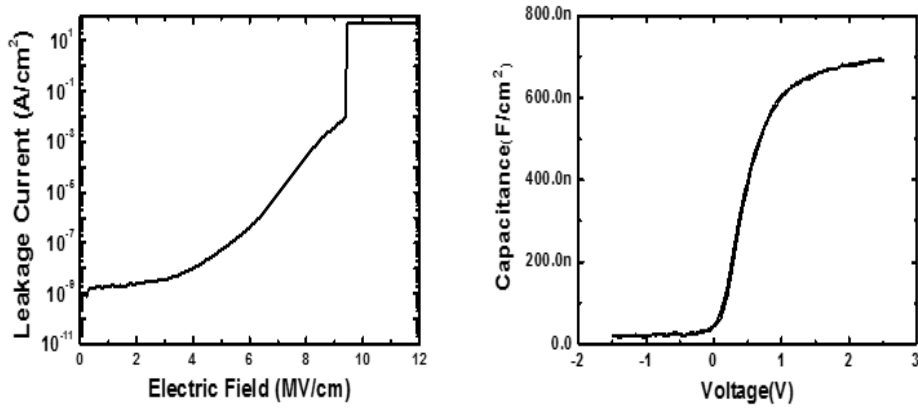


그림 2.6 N₂ plasma step 을 추가한 SiO₂ 의 전기적 특성.

그림 2.6 은 N₂ plasma step 을 추가한 SiO₂ 를 올린 Si MOS capacitor 의 전기적 특성을 나타내고 있는데, 기존과 비교하였을 때 IV, CV 면에서 모두 뚜렷하게 개선되는 모습을 확인할 수 있었다. PDA 이후 특성으로 비교하면 기존에 4MV 기준 $4 \times 10^{-6} \text{ A/cm}^2$ 에서 $8 \times 10^{-9} \text{ A/cm}^2$ 로 큰 폭으로 감소하며 Breakdown voltage 또한 기존의 7.2 MV/cm 에서 9.6 MV/cm 로 증가하였다. CV curve 또한 hysteresis 가 50mV 로 감소하며 정상적인 모형을 보인다. N₂ plasma step 을 추가하기 전과 비교하였을 때 훨씬 우수한 특성을 보여주고 있는데, hysteresis 가 매우 작고 문턱전압 또한 이전보다 positive shift 하는 것으로 보아 막 내부의 trap 이 줄어들고 positive fixed charge 가 감소한 것으로 보여진다.

R.I 를 기준으로 보게 되면 기존의 SiO₂ 박막과 차이가 없지만, 전기적인 특성면에서 큰 차이를 이루기에 이 때의 박막을 SiON 을 증착하는 것으로 판단하였다.

제 3 장 AlGaIn/GaN MIS-HEMTs with SiO₂

제 1 절 AlGaIn/GaN MIS-HEMTs process

앞서 2장에서 SiO₂ recipe 를 Si MOS capacitor 를 만들어서 전기적 특성을 확인하며 조건을 최적화 하였고, 이를 통하여 실제로 GaN device 에서도 누설전류가 적고, 막 내부의 trap 이 적은 막으로 동작하는지를 알아보기 위하여 실제로 소자에 적용하여 특성을 확인하였다. Gate recessed AlGaIn/GaN MIS-HEMTs 를 위한 process flow 를 그림 3.1 에 나타내었다. 소자에 적용한 Epitaxial 구조는 4nm undoped GaN capping layer, 20nm undoped Al_{0.23}GaN barrier, 4μm GaN buffer and transition layer on n-type Si (111) substrate 로 구성되어있다.

공정을 시작하기 전 epi 를 cleaning 하는 방법으로 Acetone/Methanol/IPA 각 10분씩 ultrasonic 을 이용하였고, 이후 유기물과 산화막을 제거하기 위해 SPM, diluted HF(1:10) 처리를 각각 10분씩 진행하였다. 우선 ICP CVD 를 이용하여 SiN_x 막을 1000 Å 증착하는 pre-passivation 공정을 진행한다. 이는 이후 ohmic 을 형성하는 과정에서 진행할 열처리의 damage 로부터 active area 를 보호해준다. 이후 Ti/Al/Ni/Au (20/120/25/50 nm) 로 이루어진 ohmic contact 을 형성한 후 RTA 장비를 이용하여 N₂ 분위기에서 830°C 에서 30 sec 진행하였으며, mesa isolation 은 BCl₃/Cl₂ gas 를 이용하여 3000Å 를 etching 하였다. SF₆ gas 를 이용하여 열처리 과정에서 damage 를 입은 SiN_x 막을 전부 제거하고 Cat-CVD 를 이용하여 SiN_x 막을 2000 Å 증착하여 surface trap 의 영향을 최소화하여 current collapse 현상을 완화시키는 passivation 공정을

진행하였다. 다음으로 2 μm 의 length 를 갖는 gate opening 이후 passivation 막을 masking 으로 하여 barrier 를 2 nm 남기는 partial recess etching 을 진행한다. 이는 AlGaIn 층을 거의 남기지 않음으로써, AlGaIn/GaN interface 에서 lattice mismatch 에 의하여 자연스레 형성되던 2DEG 영역을 끊어주어 normally off 를 만들어주는 것과 동시에 채널에 etching 에 의한 damage 를 최소화 함으로써 기존에 채널이 가지고 있는 높은 electron mobility 를 유지하여 더 우수한 특성을 얻어내도록 하는 역할을 한다. 이후 digital etching 을 진행하여 gate recess 공정에서 damage 를 입은 AlGaIn 층을 제거해주고, N_2 분위기에서 plasma treatment 를 진행한다. 전처리 이후 바로 MEMS-ALD 에 로딩하여 gate insulator 를 증착하고, RTA 를 통해 N_2 분위기에서 500 $^{\circ}\text{C}$, 10 min 열처리 하였다. 마지막으로 Ni/Au (40/400 nm) 을 이용하여 gate metal 을 evaporating 방식으로 형성하고, RTA를 사용하여 H_2/N_2 (10/190 sccm) 분위기에서 400 $^{\circ}\text{C}$, 10min 열처리 하였다.

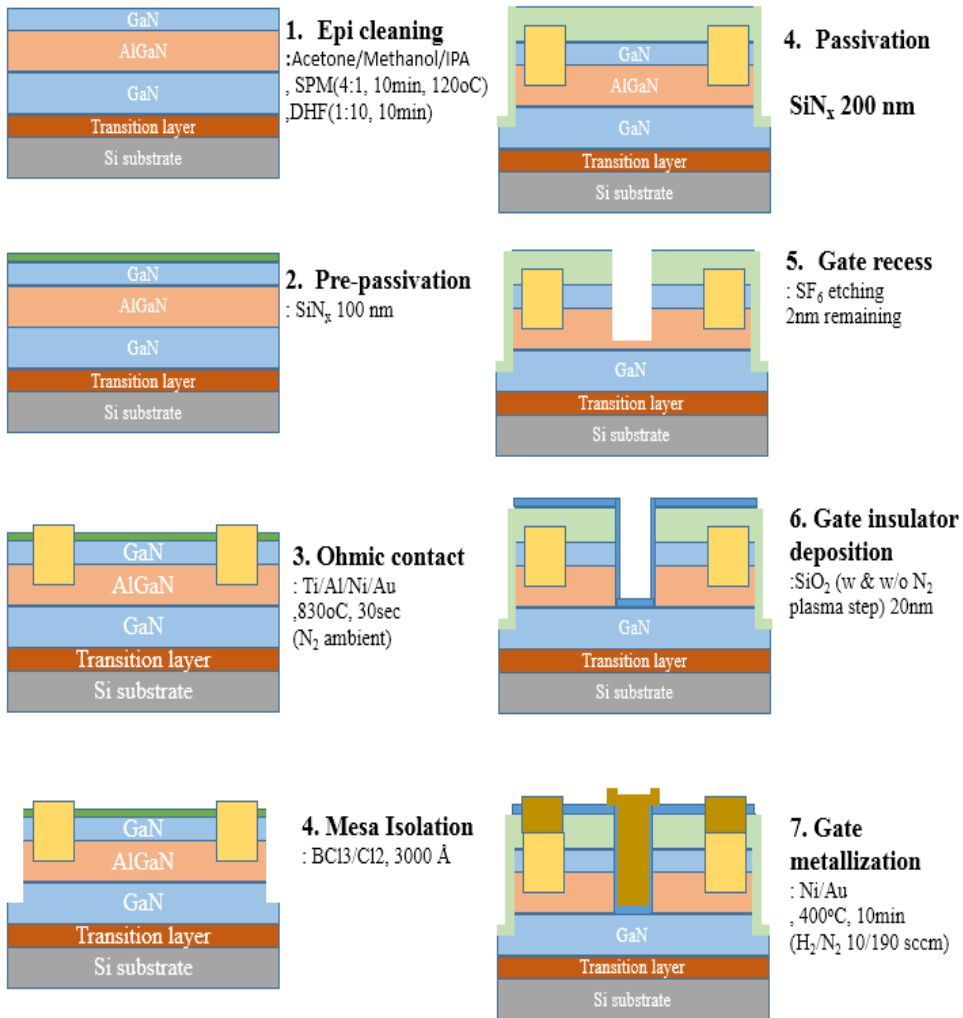


그림 3.1 AlGaIn/GaN device process flow

제 2 절 SiO₂ single layer device

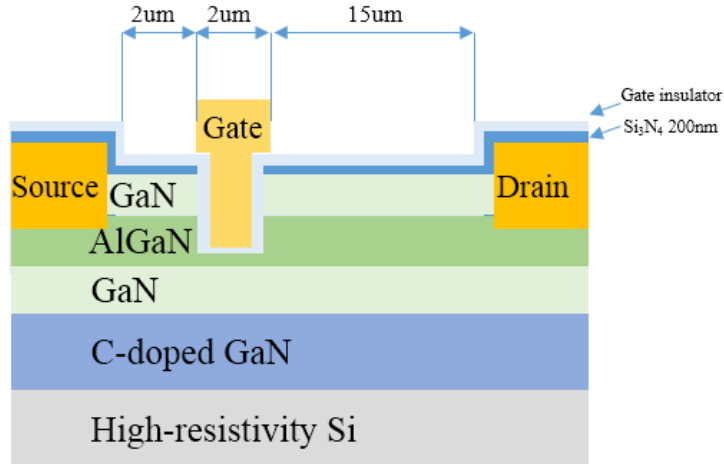
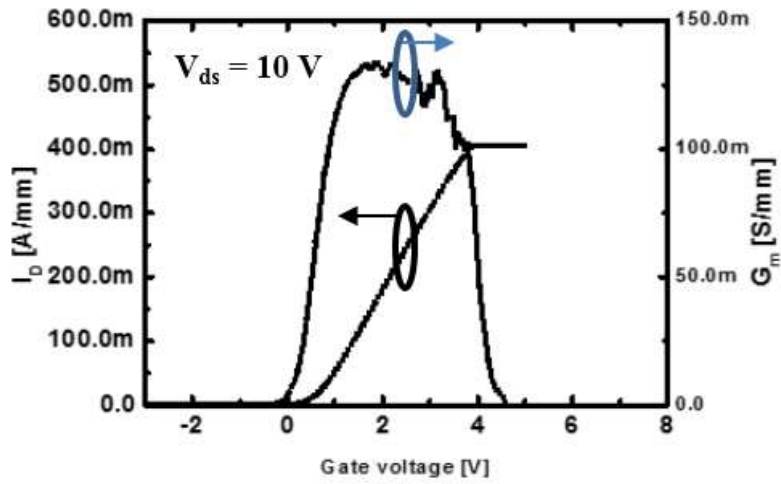
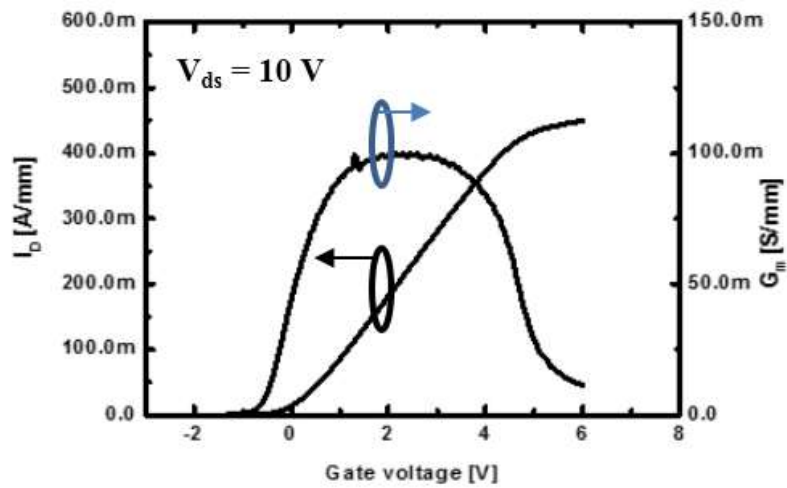


그림 3.2 schematic of AlGaN/GaN device

제작한 소자의 단면도는 그림 3.2 와 같다. 2 um gate length, 100um gate width 를 갖는다. 제작한 소자의 경우에는 모든 공정의 함께 진행되었으며, gate insulator 증착 공정에서 N₂ plasma step 이 추가된 SiON 과 기존의 SiO₂ 를 증착하였다. 22nm 의 SiO₂ layer 와, 17 nm 의 SiON layer 를 증착하였다. 각 소자의 측정은 B1500A 장비를 사용하였다. 그림 3.3 에서 각 소자의 transfer curve 를 나타내는데, 두 소자에서는 뚜렷한 차이를 보였다.

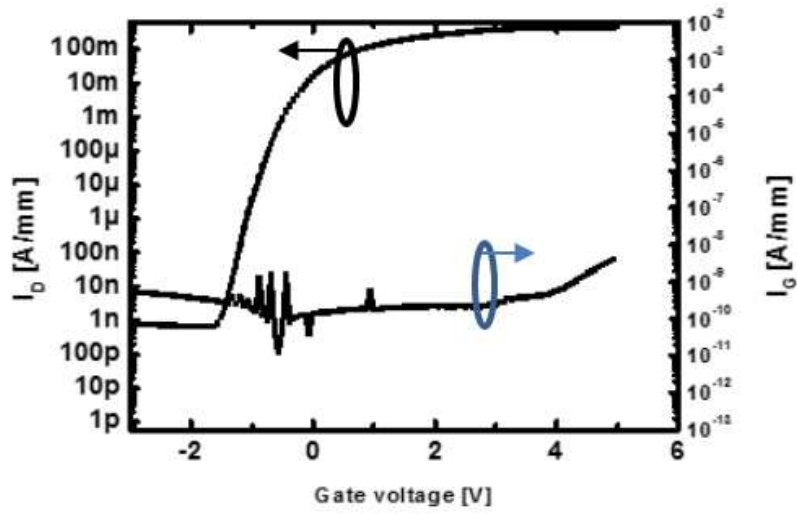


(a) SiO₂ gate insulator device

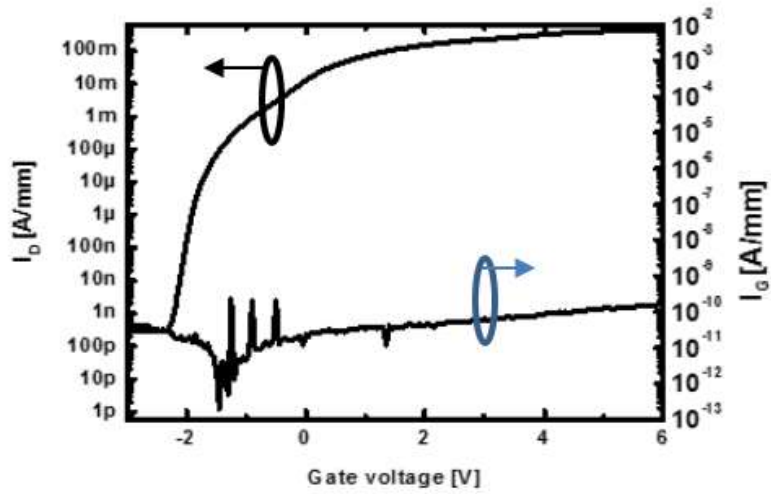


(b) SiON gate insulator device

그림 3. 3 두 소자의 transfer curve 특성 ($V_{DS} = 10$ V)



(a) SiO₂ Device 의 transfer curve



(b) SiON Device 의 transfer curve

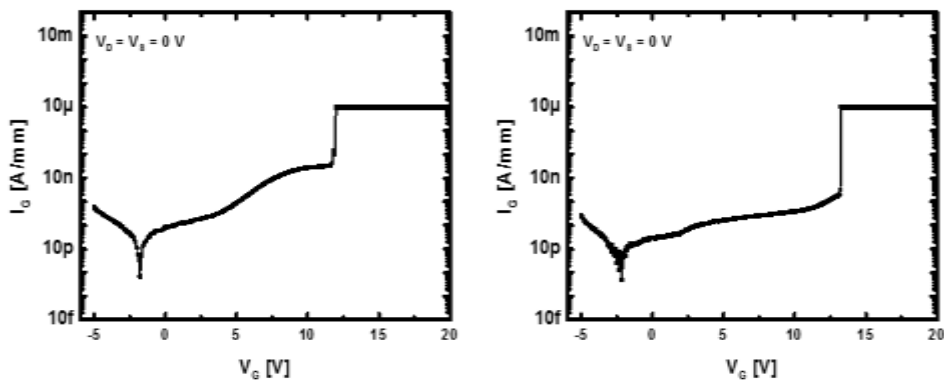
그림 3.4 두 소자의 Log scale drain current 와 gate current

	$G_{n,max}$ [mS/mm]	$I_{d,max}$ [mA/mm]	SS [mV/dec]	On/off ratio	Off current [A/mm]	V_{th} (@ 1mA/mm)
SiO ₂	125	440	101	6.2E+8	6E-10	0.163
SiON	100	450	96	1.5E+9	3E-10	-0.55

표 3.1 소자의 전기적 특성

각 소자의 전기적 특성을 표 3.1 에 정리하였다 그래프를 보았을 때 maximum transconductance & drain current 는 큰 차이가 나지 않지만, 문턱전압의 경우 SiO₂ 와 SiON 소자 각각 0.16 V와 -0.55 V 로 N₂ plasma step 이 추가되었을 경우에 더욱 negative 한 값을 갖는 것으로 보인다. 이는 plasma 에서의 damage 나 박막 내부의 fixed charge 에 의한 변화로 보인다. Gate current 나 off state current 와 같은 경우에는 N₂ plasma step 이 추가되었을 경우에 더욱 안정된 값으로 측정되었다.

또한 SiO₂ 소자의 경우 gate current 가 gate bias 가 증가함에 따라 증가하는 경향을 보이는데, 이를 Forward current 를 측정하여 Drain bias 가 가해지지 않은 상황에서 단순히 gate voltage 의 변화를 통해 확인하였다.



(a) SiO₂ Device

(b) SiON Device

그림 3.5 두 소자의 Forward curve

SiON 박막을 사용한 경우 더 큰 gate voltage 가 가해질 때에도 적은 gate current 를 보이지만 SiO₂ 소자의 경우 transfer curve 에서 gate current 가 증가하는 지점과 비슷한 부분에서부터 전류가 증가하는 것을 확인할 수 있었다. 이러한 경향은 Si MOS capacitor 에서 보이던 N₂ plasma step 을 추가해 줄 때 높은 MV 에서 까지 적은 current 를 흘리던 특성과 일치하는 모습으로 N₂ plasma step 의 영향이 두드러지게 일어난 것으로 보인다.

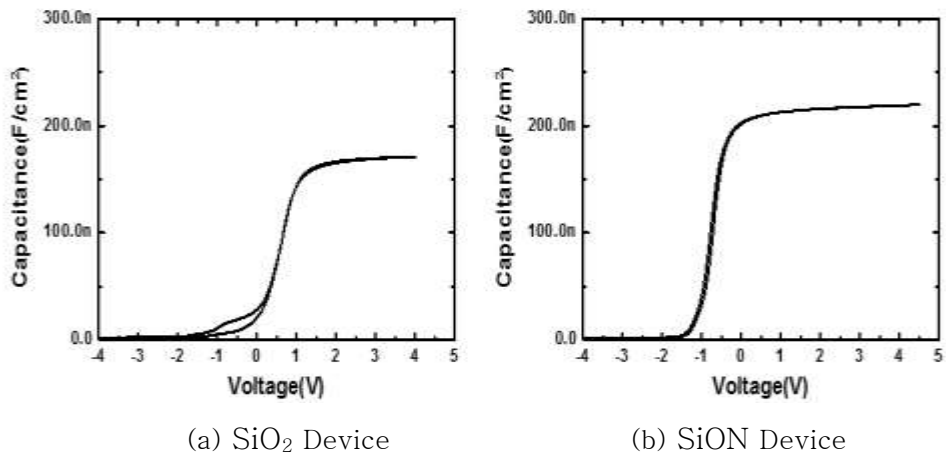
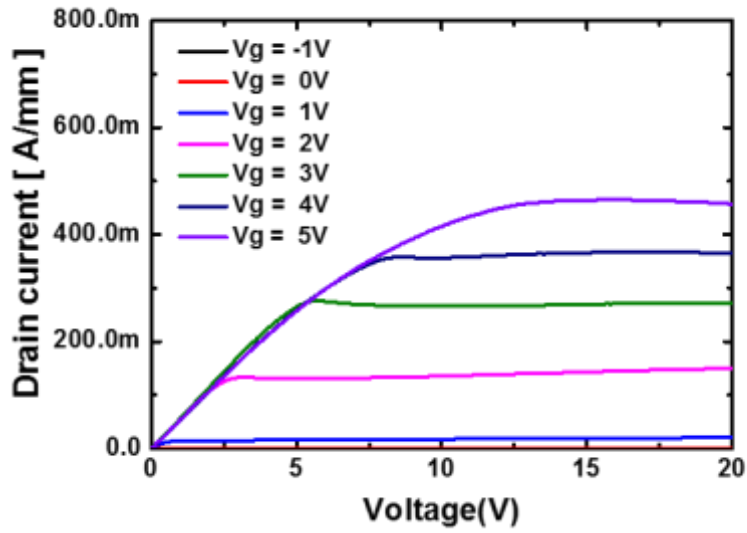
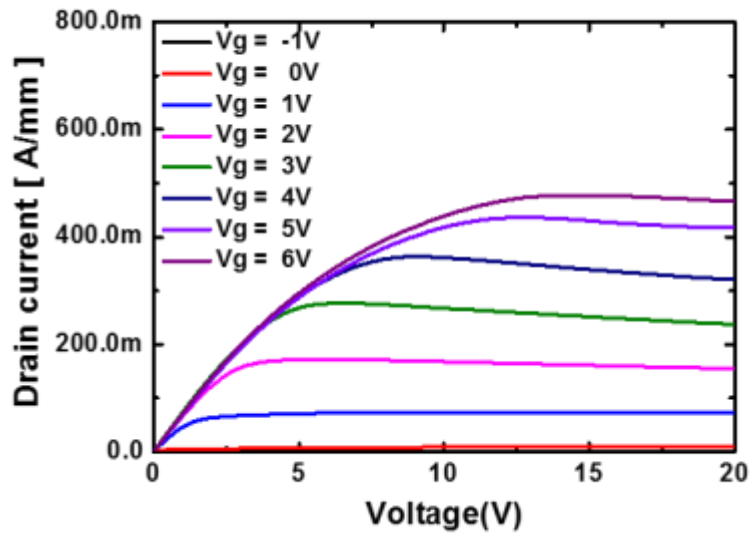


그림 3.6 두 소자의 C-V characteristic



(a) SiO₂ device



(b) SiON device

그림 3.7 두 소자의 Family characteristics

CV curve 를 통해 측정된 hysteresis 는 소자 ‘A’ , ‘B’ 각각 70 mV 와 50 mV 로 매우 작게 나왔으며 maximum capacitance 를

통하여 구한 dielectric constant 의 경우 4.32 와 4.2 로 Si MOS capacitor 에서와는 다르게 silicon oxide 와 가깝게 측정되었다.

CV curve 를 통해 얻어낸 C_{ox} 값과 transfer curve 를 통해 얻어낸 SS 를 이용하여 D_{it} 를 구한 결과 SiO_2 , $SiON$ 소자 각각 개략적으로 $7.34 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$, $8.30 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 로 추출되었다. 이 때 수식의 경우 SS 의 공식을 참고하였다.[17]

$$S = \left(\frac{d(\log_{10} I_{DS})}{dV_{GS}} \right)^{-1} \approx \ln 10 \frac{kT}{q} \left(1 + \frac{qD_{it}}{C_i} \right)$$

그림 3.8 SS 와 D_{it} 의 관계식

하지만 이 결과의 경우 border trap 의 영향을 제대로 산출하지 못하는 개략적인 data 이며[18], CV curve 에서의 slope 나 전체적인 모양을 보았을 때 N_2 plasma step 이 추가되지 않은 경우에는 소자를 off 시켜주는 특성에서는 비교적 떨어지는 모습을 보이는 것으로 판단된다.

그림 3.7 에선 gate voltage 를 off 상태인 -1 V 에서 drain current 가 saturation 되는 부분까지의 family curve 를 나타내었다. 이때의 기울기를 통하여 각각의 R_{on} 을 구하였는데, SiO_2 , $SiON$ 소자 각각 $3.2 \text{ m}\Omega \cdot \text{cm}^2$, $2.8 \text{ m}\Omega \cdot \text{cm}^2$ 로 여타 소자들과 비슷하게 작은 값으로 측정되었다.

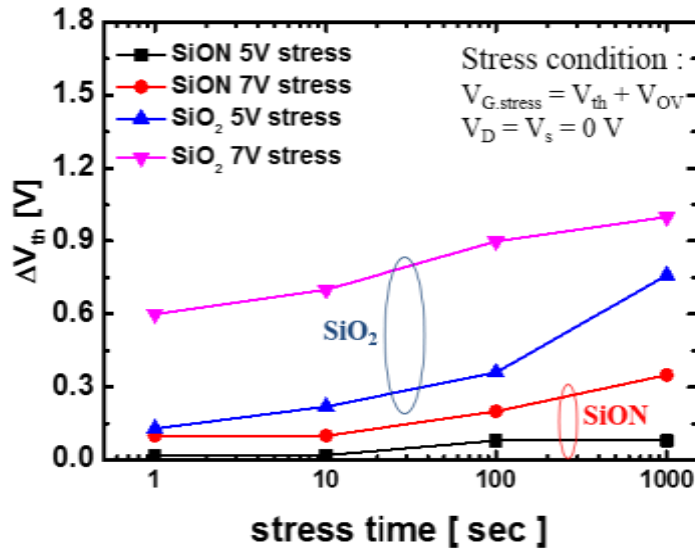


그림 3.9 두 소자의 gate stress 에 의한 reliability 측정

그림 3.9 에서는 각 소자의 gate 에 문턱전압 기준으로 5 V, 7 V 의 stress 를 gate 에만 1, 10, 100, 1000 sec 가해준 후 문턱전압의 이동을 나타내고 있다. 이러한 stress 를 통하여 실제로 소자가 얼마까지의 stress 까지 작동영역이 변하지 않는지를 확인하는 것으로, 소자의 reliability 를 알 수 있다.[19] 이를 보면 SiO₂ 소자의 경우에는 시간에 따라 계속해서 문턱전압이 positive shift 하는 것을 알 수 있다. 이러한 문턱전압의 변화는 소자의 작동 영역을 계속해서 변화시켜가기 때문에 reliability 면에서 상용화 하기에는 부족한 모습을 보인다. 하지만 SiON 소자의 경우에는 1000 sec 의 5 V, 7 V 의 stress 에도 st 80 mV, 350 mV 만을 positive shift 하는 모습을 보이기에 매우 안정적임을 알 수 있었다.

SiO₂, SiON gate insulator 를 이용하여 제작한 AlGaIn/GaN MIS-HEMTs 를 통하여 측정된 결과들을 보면 SiON 소자가 애초 목표와 같이 $\sim 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 의 작은 interface trap density 를 갖고 off state current 나 gate leakage 도 작은 값을 갖는 것을 볼 수 있다.

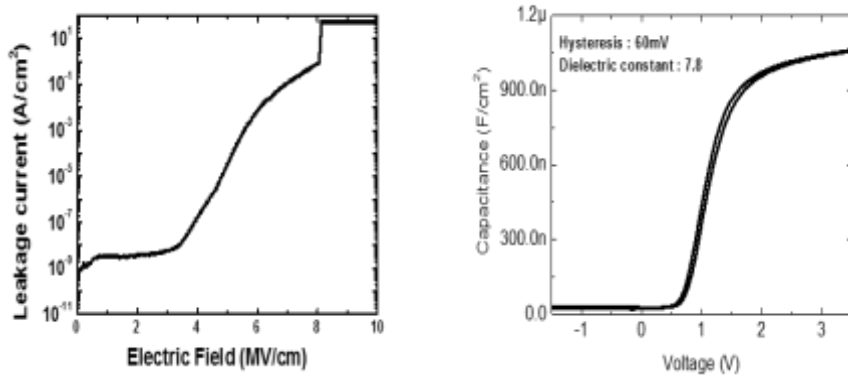
Hysteresis 도 매우 작아서 막 내부의 trap 도 거의 없다고 보여지며, R_{on} 특성에서도 좋은 값을 갖는 것을 알 수 있었다. Gate stress 에 의한 문턱전압의 변화 또한 매우 작은 값을 나타내며 안정적임을 알 수 있었다.

하지만 device 의 활용영역인 normally off 를 만드는 데에는 SiON gate insulator 를 사용하였을 경우에, 오히려 문턱전압을 (drain current = 1mA/mm 기준) 0.163 V 에서 -0.55 V 로 negative shift 시키는 단점이 존재한다. 이는 N_2 Plasma step 이 단순히 막 내부의 carbon 과 같은 impurity 들을 제거하는 것이 아니라 막 내부에 fixed charge 로 남게 되면서 생기는 현상으로 보이는데, 따라서 interface layer 로 적용하기 위해서는 얇은 두께를 적용하며, gate recess 공정 또한 기존보다 AlGaIn barrier 를 많이 recess 하는 방향으로 진행함으로써 문턱전압을 지금에 비해 positive shift 하도록 하여 normally off operation 하도록 만들어야 할 것으로 보인다.

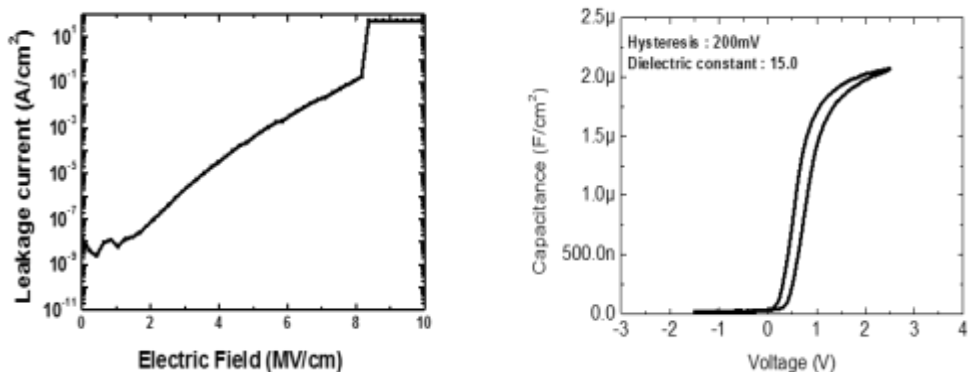
제 3 절 SiO₂, SiON interface layer device

앞서 2절에서 SiO₂, SiON 단일막을 적용한 AlGaIn/GaN HEMTs의 결과를 참고하여, SiO₂, SiON 를 Interface layer 로 이용하는 device 를 제작하였다. 제작한 소자의 경우 앞서 제작한 소자와 같은 방식으로 제작되었다. 기존 단일막 소자의 결과를 볼 때 N₂ Plasma step 이 문턱전압을 negative shift 시키는 영향을 미치기에 이번에는 gate recess 공정 시 AlGaIn barrier 를 1.5 nm 남기어 문턱전압을 positive shift 시키는 방향으로 진행하였다.

SiO₂ interface layer 위에 올라가는 bulk layer 를 정하기 위해 같은 MEMS-ALD 로 증착하는 high-k 박막들인 AlON, HfON 막의 특성을 Si MOS capacitor 를 이용하여 확인하였다.



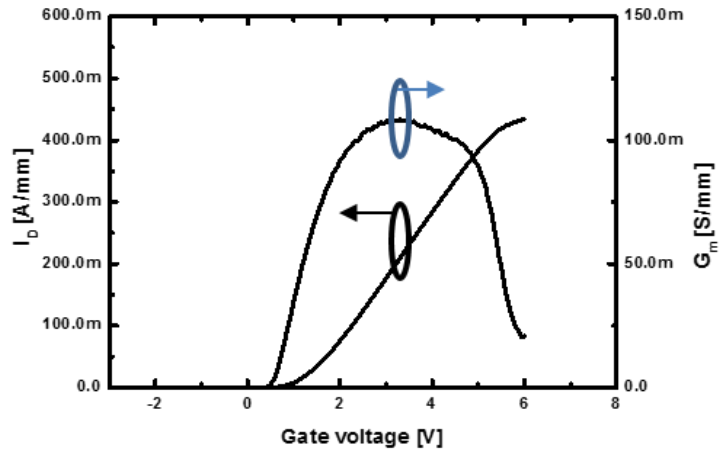
(a) AlON 의 IV & CV 특성



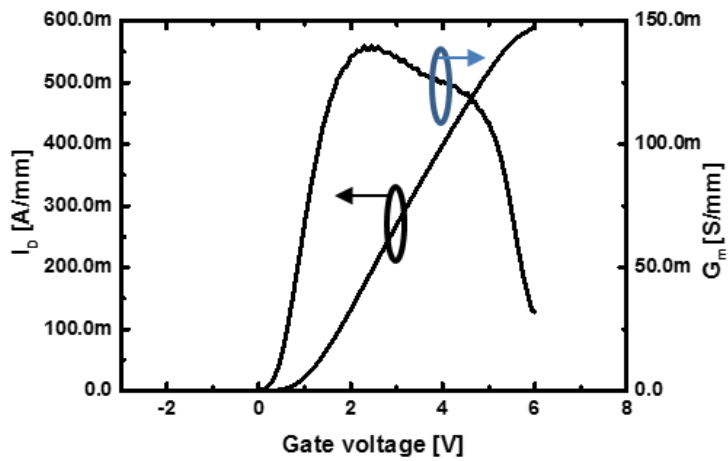
(b) HfON 의 IV & CV 특성

그림 3.10 AlON, HfON 의 전기적 특성

두 박막을 비교해 보면 AlON 박막이 HfON 보다 leakage current 와 hysteresis 면에서 매우 좋은 모습을 보이며 안정적인 모습을 보인다. 반면 HfON 박막의 경우 dielectric constant 가 15 에 해당하는 높은 모습을 보인다. Interface layer 로 low-k 물질을 적용하기에, 소자의 전기적 특성을 최대한 끌어올리기 위해 bulk layer 로는 high-k 물질 중에서도 큰 값을 갖는 HfON 을 선택하였다. 기존에 HfO₂ 종류의 막의 경우에는 뛰어난 dielectric constant 를 기반으로 우수한 전기적인 특성을 갖지만, 막 내부의 trap 이나 interface trap density 가 좋지 않다고 알려져 있다. 하지만 막 내부의 trap 이 적고 D_{it} 또한 우수한 특성을 갖고 있는 SiO₂ 막을 interface layer 로 사용함으로써 이러한 문제를 개선할 수 있을 것으로 보인다.

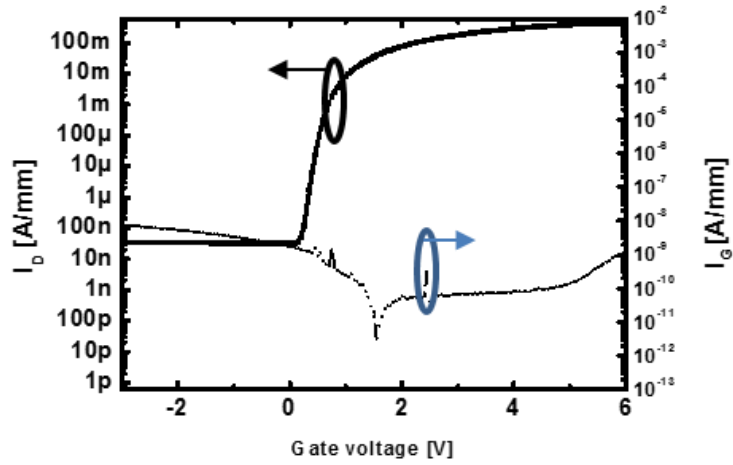


(a) SiO_2/HfON gate insulator device

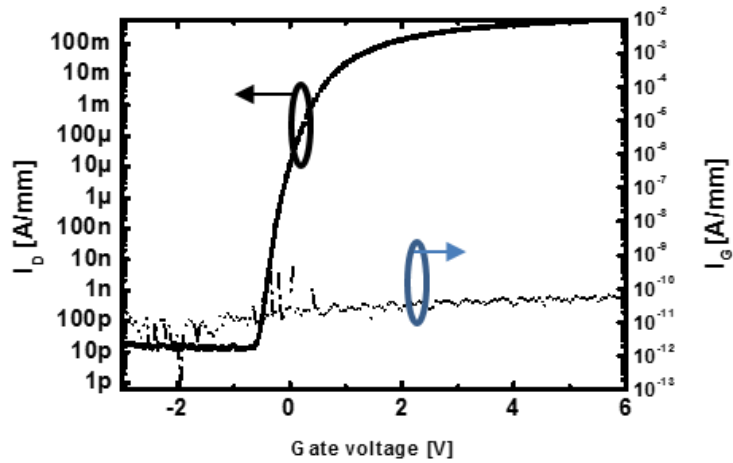


(b) SiON/HfON gate insulator device

그림 3.11 SiO_2 , SiON 을 interface layer 로 적용한 소자들의 transfer curve



(a) SiO₂/HfON Device 의 transfer curve



(b) SiON/HfON Device 의 transfer curve

그림 3.12 Log scale drain current 와 gate current

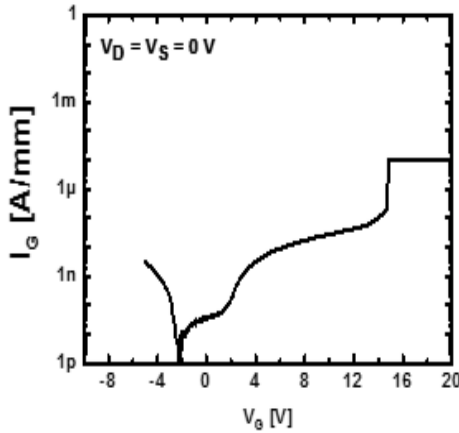
그림 3.11에서는 SiO₂를 interface layer로 적용한 소자의 transfer curve를 나타내고 있으며 이때의 $V_{ds} = 10\text{ V}$ 이다. 그림 3.12에서는 log scale에서의 drain current와 gate current를 나타내고 있다. 이번 소자들에서도 N₂ plasma step이 추가되었을 경우에

문턱전압이 negative 로 shift 하는 경향이 있지만, SiO₂ 막의 두께가 두껍지 않고 gate recess 를 단일막 소자보다 더 많이 진행하여서 SiO₂ interface device 와 SiON interface device 각각 (Drain current = 1 mA/mm 일 때) 0.7 V, 0.4 V 의 문턱전압을 갖는다. 소자간의 특성을 아래 표 3.2 에 정리하였다.

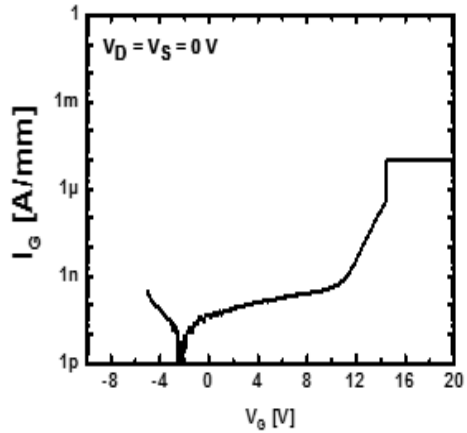
	$G_{m,max}$ [mS/mm]	$I_{d,max}$ [mA/mm]	SS [mV/dec]	On/off ratio	Off current [A/mm]	V_{th} (@ 1mA/mm)
SiO ₂ /HfON	110	430	87	1.3E+7	3E-8	0.7
SiON/HfON	140	590	78	4.7E+10	1E-11	0.4

표 3.2 소자의 전기적 특성

표 3.2 를 보게 되면 interface layer 에 따라서 소자의 특성 차이가 확연하게 나는 것을 확인할 수 있다. SiON 박막을 interface layer 로 사용하면서 기존에 단일막으로 적용했던 소자와 비교하면 off current 는 감소하고 maximum drain current 는 증가하며 SS 또한 감소하여 특성이 전반적으로 향상되는 것을 확인할 수 있었다. 반면 SiO₂ 박막을 interface layer 로 사용한 소자의 경우 단일막으로 적용했던 소자와 비교하면 maximum transconductance & drain current 가 감소하고 off current 는 증가하는 등 전반적으로 특성이 열화되는 것을 확인할 수 있었다.



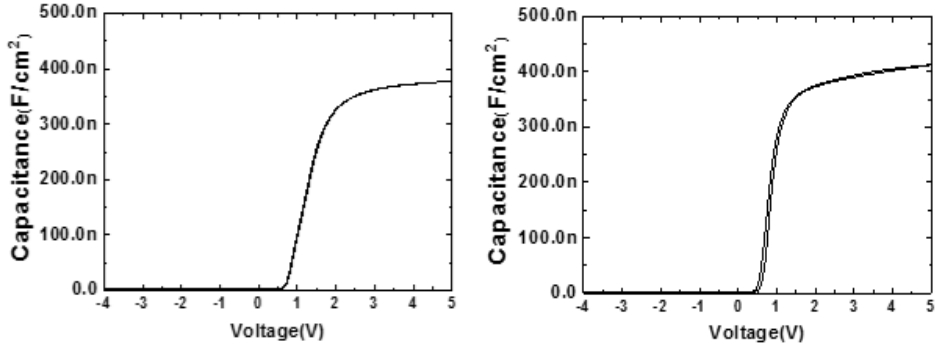
(a) SiO₂ interface layer device



(b) SiON interface layer device

그림 3.13 두 소자의 forward gate current

그림 3.13을 보면 SiO₂ 를 interface layer 로 사용하였을 경우에는 Forward gate current 가 낮은 gate voltage 에서부터 크게 증가하는 모습을 보인다. 이는 log scale drain current 에서 off state current 의 경향성과 일치하는 모습으로 보여 off drain current 에 gate leakage 가 영향을 주는 것을 알 수 있었다. SiON 을 interface layer 로 사용한 경우에는 단일막에서와 같이 gate current 가 낮게 유지되다가 breakdown 이 일어나는 것을 확인할 수 있다. Hard breakdown 이 일어나는 지점은 두 소자 모두 비슷한 모습을 보인다.



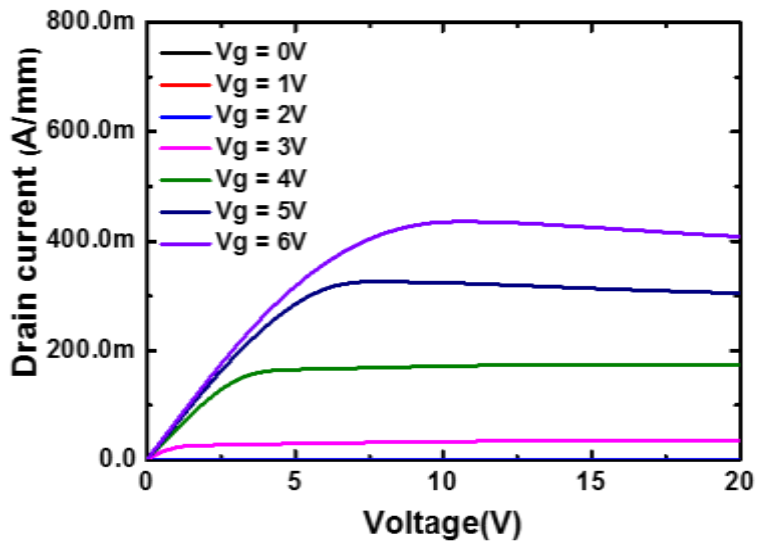
(a) SiO₂ interface layer device

(b) SiON interface layer device

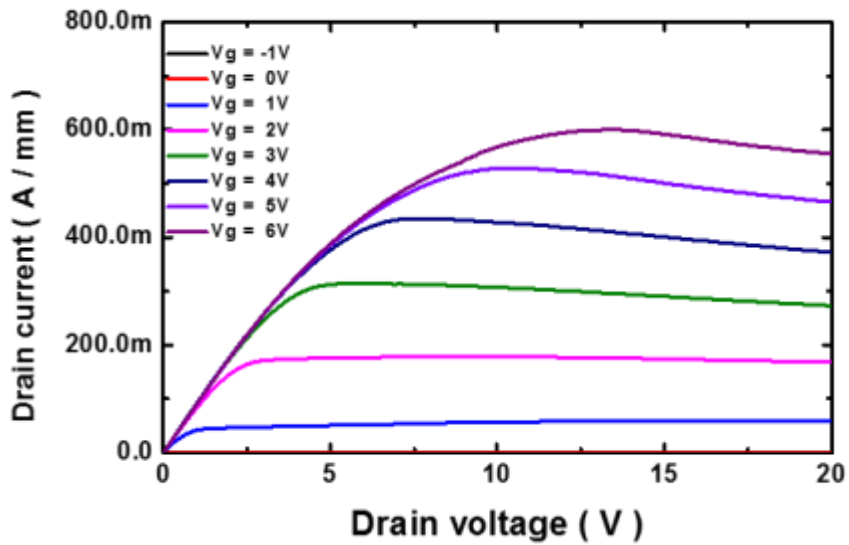
그림 3.14 두 소자의 C-V characteristics

그림 3.14 을 통해 CV characteristic 을 보면 각각 hysteresis 는 10 mV 와 60 mV 로 매우 작은 값으로 내부의 trap 이 적음을 알 수 있다. Maximum capacitance 값을 통하여 dielectric constant 를 추출한 결과 SiO₂ interface device 와 SiON interface device 각각 10, 11.4 로 앞서 단일막으로 적용하였을 때의 4.32, 4.2 에 비하여 매우 큰 값이 추출되었다. 이는 초기 목적과 부합하게, high-k 물질을 bulk layer 로 사용함으로써 기존 SiO₂ 단일막을 적용했던 소자들 보다 높은 전기적 특성을 갖는 데에 HfON 막이 기여를 했다고 볼 수 있다.

CV curve 에서의 C_{ox} 값과 앞에서 구한 SS 를 통하여 이전에 단일막 소자에서와 같은 방법으로 interface trap density 를 구한 결과 개략적으로 SiO₂ interface device 와 SiON interface device 각각 $1.05 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$, $7.82 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ 로 계산되었다.



(a) SiO_2/HfON device



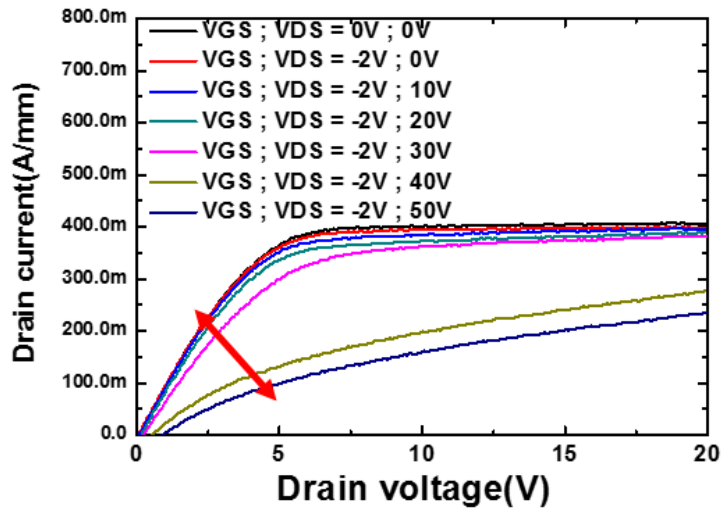
(b) SiON/HfON device

그림 3.15 두 소자의 Family characteristics

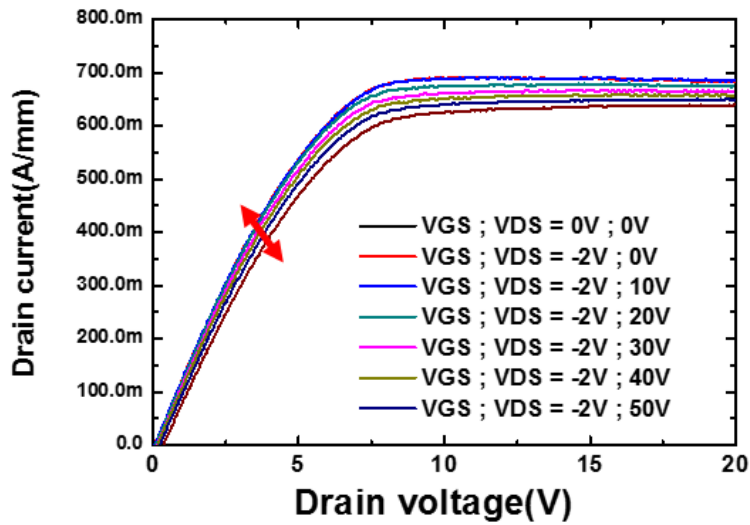
그림 3.15 에서는 각 소자 별로 saturation 되는 gate voltage 까지 전압을 sweep 하여 family curve 를 나타내었다. 이때의 기울기를

통하여 각각의 R_{on} 을 구하였는데, SiO_2 interface device 와 $SiON$ interface device 각각 $3.1\text{ m}\Omega\cdot\text{cm}^2$, $2.1\text{ m}\Omega\cdot\text{cm}^2$ 로 여타 소자들과 비슷하게 작은 값으로 측정되었다.

Pulsed I-V 측정의 경우 소자를 완전히 off 시킨 상태에서 drain 쪽에 Drain stress 를 가하며 인위적으로 gate 와 drain 쪽 영역에 trapping 을 일으킨다. 이를 통하여 gate-drain 영역의 trapping 에 의하여 마치 virtual gate 와 같은 현상이 일어나며, current collapse 현상을 관측할 수 있다.[20] 그림 3.16 에서는 소자의 pulsed I-V 특성을 보여주고 있다.



(a) $SiO_2/HfON$ device



(b) SiON/HfON device

그림 3.16 Pulsed I-V characteristic (drain – lag)

그림 3.16을 보면 N_2 plasma step 을 적용하지 않은 박막을 interface 로 사용하였을 경우에는 drain bias 가 증가함에 따라서 maximum drain current 가 확연하게 감소하며 R_{on} 또한 증가하는 것을 확인하였다. 반면 N_2 plasma step 을 적용한 박막을 interface layer 로 사용하였을 때에는 drain bias 를 50 V 까지 증가시켜가며 확인하였을 경우에도 큰 차이가 생기지 않으며 current collapse 현상이 크지 않은 우수한 특성을 확인할 수 있었다.

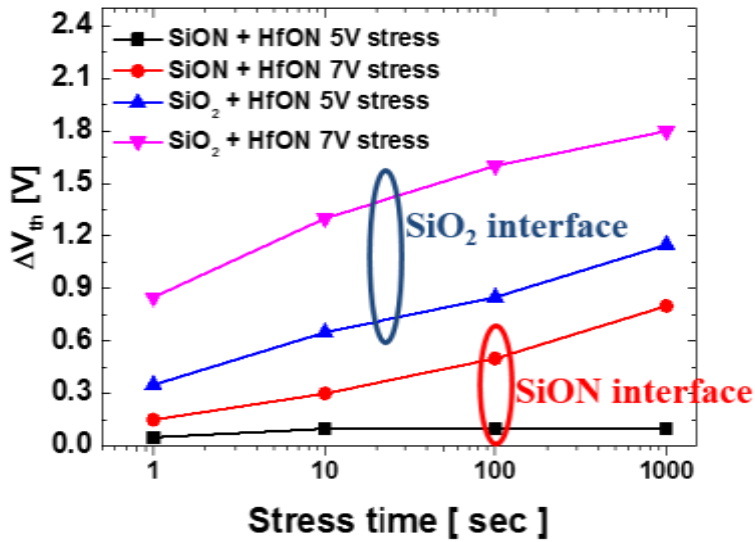


그림 3.17 소자의 Gate stress 에 의한 reliability 측정

그림 3.17 에서는 gate 에 stress 를 가해주고 이후 문턱전압의 변화를 측정한 그래프이다. 단일막에서의 경향과 같이 SiO₂ interface layer device 에서는 처음 stress 를 받는 시점부터 1000 sec 까지 stress 를 가해줄 때 까지 계속해서 문턱전압이 positive shift 하는 모습을 보인다. N₂ plasma step 을 추가한 SiON interface layer 를 적용했을 경우에는 처음 stress 가 가해질 시점부터 문턱전압의 이동이 거의 일어나지 않으며 1000 sec 의 stress 에도 문턱전압의 변화는 크지 않고 안정적으로 나타나는 것으로 확인했다. 따라서 이러한 gate stress 에는 interface layer 가 매우 중요한 역할을 하는 것을 알 수 있었으며, plasma step 을 통하여 개선된 SiO₂ layer 를 사용함으로써 이러한 issue 를 효과적으로 개선할 수 있음을 확인하였다.

SiO₂, SiON 박막을 interface layer 로 적용하여 제작한 AlGaIn/GaN MIS-HEMTs 의 특성을 보면 gate recess 공정을 더 한만큼 N₂ plasma step 의 유무에 상관없이 normally off operation 을 하는 것을 알 수 있다. 전체적인 특성의 경우 SiON 박막을 interface layer 로

적용했을 때가 off state drain current, gate current 가 작은 모습을 보이며 더 안정적인 모습을 보인다. 반면 SiO₂ 박막을 interface layer 로 적용한 경우에는 gate current 가 비교적 큰 모습을 보이며 off state drain current 에 영향을 주는 것을 알 수 있었다.

SiON interface layer 소자의 특성을 보면 bulk layer 로 HfON 을 선택한 초기 목적에 부합하며 $G_{m,max}$, $I_{d,max}$ 모두 140 mG/mm, 590 mA/mm 로 뛰어난 모습을 보였다. SS 와 C_{ox} 를 통해 구한 D_{it} 의 경우에도 $7.82 \times 10^{11} \text{ cm}^{-2}\text{eV}^{-1}$ 로 적은 모습을 보이며 hysteresis 또한 60 mV 로 뛰어난 특성을 보였다. 이러한 특성들은 기존에 제작하던 소자들의 특성보다 훨씬 개선된 모습으로 안정된 interface layer 를 이용함으로써 좋은 전기적 특성을 가지고 있지만, interface trap density 나 막 내부의 trap 이 큰 issue 를 가지고 있는 박막을 bulk layer 로 사용함으로써 단점을 상쇄하고 장점을 살릴 수 있는 방안 중 하나로 사용될 수 있을 것으로 보인다. 이번 실험에서는 (drain current = 1 mA/mm 기준) 문턱전압이 0 V 이상의 값을 가졌지만 여전히 SiON 박막을 적용할 경우 문턱전압이 SiO₂ 박막에 비해 negative shift 하기에, normally off 소자를 제작함에 있어 효과적으로 문턱전압을 positive shift 할 수 있는 방안에 대한 연구가 조금 더 필요할 것으로 생각된다.

제 4 장 결론 및 앞으로의 과제

제 1 절 Summary

Normally off AlGaIn/GaN MIS-HEMTs 에서는 다양한 issue 들이 연구되고 있으며 관심을 받고 있는데, 그 중 본 연구에서는 gate insulator 에 집중하였다. Gate insulator 에 따라 소자의 특성에 큰 영향을 끼치는데 본 연구에서는 interface trap density 와 막 내부의 trap 이 작은 박막을 최적화하여 사용할 목적으로 Silicon oxide 에 대한 연구를 진행하였다.

우선 ΔE_c 가 큰 SiO₂ 를 Si 에 ALD 방식으로 증착하여 saturation point 를 잡고 이에 대한 전기적인 특성을 확인하였다. 이후 매 cycle 사이에 N₂ plasma step 을 추가하는 SiON 박막의 saturation point 를 잡고 전기적인 특성을 확인하였다. N₂ plasma step 을 추가해준 경우 그전과 비교하여서 누설전류의 경우 $4E-6 \text{ A/cm}^2$ 에서 $8E-9 \text{ A/cm}^2$ 으로 눈에 띄게 감소하였으며, Breakdown field 또한 7.2 MV/cm 에서 9.6 MV/cm 로 크게 증가 하였다. Hysteresis 또한 250 mV 에서 50 mV 로 크게 감소하여 전체적으로 막 내부의 trap 이 크게 줄고 안정된 모습을 갖는 것을 알 수 있었다.

실제로 소자에 적용하여 특성을 확인해 본 결과 SiON 박막을 interface layer 로 적용하였을 때 off state drain current 와 gate current 가 30 nA/mm 에서 0.01 nA/mm 로 매우 안정되게 작은 모습을 보이며, maximum transconductance & drain current 각각 110 mG/mm , 430 mA/mm 에서 140 mG/mm , 590 mA/mm 로 크게 증가하며 더욱 뛰어난 모습을 보인다. 또한 forward gate current 또한

12 V 의 gate voltage 까지 안정적으로 가라앉는 모습을 보이며, pulsed I-V 특성 역시 훨씬 개선된 모습을 보인다.

제 2 절 앞으로의 과제

이번 연구를 통해 SiON 막을 interface layer 로 사용함에 따라 전체적으로 좋은 특성을 갖는 것을 확인하였지만, 여전히 normally off operation 을 하기 위해서는 gate recess 공정 시 recess depth 를 매번 미세하게 조절해야 한다. 따라서 지금의 특성을 보존하며 막 내부의 fixed charge 를 줄여나가는 방향이나, plasma pretreatment 와 같은 방법을 통해 문턱전압을 positive shift 하는 추가 연구가 필요할 것으로 보인다.

N₂ plasma step 을 추가해주는 경우가 실제로 막에 어떠한 영향을 끼치는 지에 대하여 SIMS 나 FTIR 과 같은 방식을 통하여 정확히 분석하여 어떠한 영향들에 의하여 이러한 특성적인 향상이 있었는지를 정확히 분석해 낸다면, 앞으로의 연구에 큰 도움이 될 것으로 보인다.

참고 문헌

- [1] Nakkala, Poornakarthik. *Pulsed IV and RF characterization and modeling of AlGaIn HEMTs and Graphene FETs*. Diss. Université de Limoges, 2015.
- [2] Ambacher, O., et al. "Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaIn/GaN heterostructures." *Journal of applied physics* 87.1 (2000): 334–344.
- [3] Uemoto, Yasuhiro, et al. "Gate injection transistor (GIT)—A normally-off AlGaIn/GaN power transistor using conductivity modulation." *IEEE Transactions on Electron Devices* 54.12 (2007): 3393–3399.
- [4] Chang, C-T., et al. "Normally-off operation AlGaIn/GaN MOS-HEMT with high threshold voltage." *Electronics letters* 46.18 (2010): 1280–U63.
- [5] Burnham, Shawn D., et al. "Gate-recessed normally-off GaN-on-Si HEMT using a new O₂-BCl₃ digital etching technique." *physica status solidi (c)* 7.7-8 (2010).
- [6] Yao, Yao, et al. "Normally-off GaN recessed-gate MOSFET fabricated by selective area growth technique." *Applied Physics Express* 7.1 (2013): 016502.
- [7] Mizutani, Takashi, et al. "A study on current collapse in AlGaIn/GaN HEMTs induced by bias stress." *IEEE Transactions on*

Electron Devices 50.10 (2003): 2015–2020.

[8] Lager, Peter, et al. "Towards understanding the origin of threshold voltage instability of AlGa_N/Ga_N MIS–HEMTs." *Electron Devices Meeting (IEDM), 2012 IEEE International*. IEEE, 2012.

[9] Choi, Woojin, et al. "High–voltage and low–leakage–current gate recessed normally–off Ga_N MIS–HEMTs with dual gate insulator employing PEALD–/RF–sputtered." *IEEE Electron Device Letters* 35.2 (2014): 175–177.

[10] Huang, Sen, et al. "High Uniformity Normally–OFF Ga_N MIS–HEMTs Fabricated on Ultra–Thin–Barrier AlGa_N/Ga_N Heterostructure." *IEEE Electron Device Letters* (2016).

[11] Yang, Shu, et al. "High–Quality Interface in MIS Structures With In Situ Pre–Gate Plasma Nitridation." *IEEE Electron Device Letters* 34.12 (2013): 1497–1499.

[12] Liu, Shenghou, et al. "Performance enhancement of normally–off Al₂O₃/Al_N/Ga_N MOS–Channel–HEMTs with an ALD–grown Al_N interfacial layer." *2014 IEEE 26th International Symposium on Power Semiconductor Devices & IC's (ISPSD)*. IEEE, 2014.

[13] Long, Rathnait D., and Paul C. McIntyre. "Surface preparation and deposited gate oxides for gallium nitride based metal oxide semiconductor devices." *Materials* 5.7 (2012): 1297–1335.

[14] Murray, C. A.; Elliott, S. D.; Hausmann, D.; Henri, J.; LaVoie, A.

Effect of Reaction Mechanism on Precursor Exposure Time in Atomic Layer Deposition of Silicon Oxide and Silicon Nitride. *ACS Appl. Mater. Interfaces* 2014, 6, 10534–10541.

[15] Langereis, Erik, et al. "In situ spectroscopic ellipsometry as a versatile tool for studying atomic layer deposition." *Journal of Physics D: Applied Physics* 42.7 (2009): 073001.

[16] Won, Seok-Jun, et al. "Growth and electrical properties of silicon oxide grown by atomic layer deposition using Bis (ethyl-methyl-amino) silane and ozone." *Journal of Vacuum Science & Technology A* 30.1 (2012): 01A126.

[17] Wang, Ronghua, et al. "High performance E-mode InAlN/GaN HEMTs: Interface states from subthreshold slopes." *Device Research Conference (DRC), 2010. IEEE, 2010.*

[18] T.-L. Wu et al., "Correlation of interface states/border traps and threshold voltage shift on AlGaIn/GaN metal-insulator-semiconductor high-electron-mobility transistors," *Appl. Phys. Lett.*, vol. 107, no. 9, p. 093507, 2015

[19] Wu, Tian-Li, et al. "Positive bias temperature instability evaluation in fully recessed gate GaN MIS-FETs." *Reliability Physics Symposium (IRPS), 2016 IEEE International. IEEE, 2016.*

[20] Nakkala, Poornakarthik. *Pulsed IV and RF characterization and modeling of AlGaIn HEMTs and Graphene FETs*. Diss. Université de Limoges, 2015.

Abstract

Improvement of electric properties of AlGa_N/Ga_N HEMTs with SiO₂ gate insulator

Gwang ho Choi

Electrical and Computer Engineering

The Graduate School

Seoul National University

GaN material's high electron velocity and high band gap make high breakdown field and fast switching properties. AlGa_N/Ga_N HEMTs(High electron mobility transistors) makes unaffected electron channel layer with high electron density. Then AlGa_N/Ga_N HEMTs is one of the promising candidates for high power devices. For useful applications in power devices normally off operation is demanded. Usually gate recessed structure makes V_{th} positive shift and normally off operation. In this case to suppress the gate leakage current and improve the properties of device, the high quality gate insulator takes significant role of AlGa_N/Ga_N HEMTs.

In this thesis, we study about SiO₂ gate insulator for AlGa_N/Ga_N HEMTs. After optimize SiO₂ ALD condition with MEMS-ALD, we can check electrical properties through Si MOS capacitor. Insert N₂ plasma step between every SiO₂ cycle, effectively suppress the gate leakage current and decrease hysteresis characteristic. And also improved breakdown field was achieved.

Fabricated SiON gate insulator AlGaN/GaN HEMTs shows considerably low forward gate current and outstanding R_{on} performance. Employing this SiO₂ with N₂ plasma step as interface layer we can see low forward gate current, large transconductance & drain current, improved pulsed I–V characteristic and normally off operation of AlGaN/GaN MIS–HEMTs were achieved. Also we see low hysteresis and low interface trap density.

Through the results in the study, the improvements of the electrical properties of AlGaN/GaN MIS–HEMTs with SiON gate insulator were acquired. It would be useful results for high power applications.

Keywords : AlGaN/GaN, MIS–HEMTs, SiO₂, interface layer

Student number : 2015–20998